

**Japanese Publication for Utility Model**  
**No. 8055/1990 (*Jitsukaihei* 2-8055)**

A. Relevance of the Above-identified Document

This document discloses prior art as technical background of the present invention.

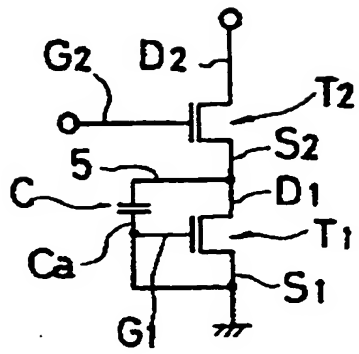
This document has relevance to claims 1 to 3 and 9 to 11 of the present application.

B. Translation of the Relevant Passages of the Document

[UTILITY MODEL CLAIM]

A thin film photosensor, in which: a sensor thin film transistor and a switching thin film transistor are formed on a surface of a substrate, and a drain electrode of the sensor thin film transistor and a source electrode of the switching thin film transistor are connected to each other via a connection electrode integrated with both the electrodes, and a capacitor is connected to the drain of the sensor thin film transistor, wherein a capacitor electrode is disposed so as to face the connection electrode, and the capacitor electrode is integrated with a gate electrode of the sensor thin film transistor, and the gate electrode and a source electrode of the sensor thin film transistor are bonded to each other.

FIG. 2



⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-8055

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月18日

H 01 L 27/146  
27/01  
31/10

7514-5F

7377-5F H 01 L 27/14  
7733-5F 31/10

C  
E

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 考案の名称 薄膜光センサ

⑯ 実 願 昭63-82993

⑰ 出 願 昭63(1988)6月24日

⑱ 考 案 者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会  
社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴 江 武 彦 外2名

(57) 【要約】

キャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とすると共にセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することにより、キャパシタの一方の端子とセンサ用薄膜トランジスタのゲート電極およびソース電極の端子を1つに共通接続したので、端子数を少なくして駆動を容易にできる。

【薄膜 光センサ キャパシタ用 電極 センサ用 薄膜 トランジスタ ゲート 電極 一体 ソース 電極 接合 キャパシタ 一方 端子 共通 接続 端子数 駆動 容易】

## 【実用新案登録請求の範囲】

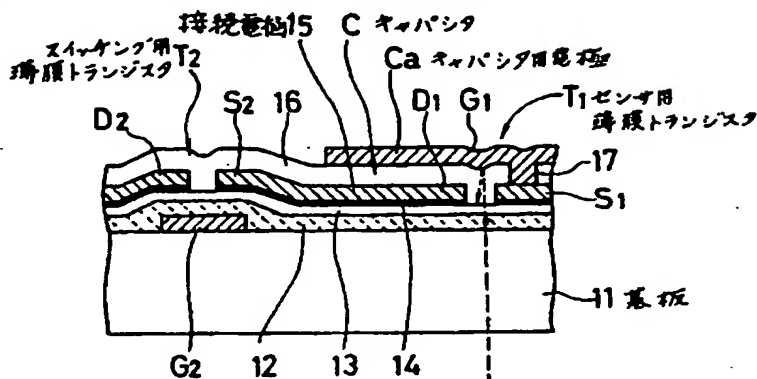
基板面にセンサ用薄膜トランジスタとスイッチング用薄膜トランジスタとを形成するとともに、前記センサ用薄膜トランジスタのドレイン電極と前記スイッチング用薄膜トランジスタのソース電極とをこの両電極と一体の接続電極を介して接続し、かつ前記センサ用薄膜トランジスタのドレインにキャパシタを接続した薄膜光センサにおいて、前記接続電極と対向させてキャパシタ用電極を配置し、このキャパシタ用電極を前記センサ用薄膜トランジスタのゲート電極と一体の電極とするとともに、前記センサ用薄膜トランジスタのゲート電極とソース電極とを接合したことを特徴とする薄膜光センサ。

## 【図面の簡単な説明】

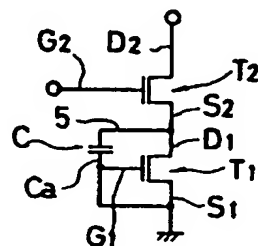
第1図および第2図は本考案の一実施例を示す薄膜光センサの断面図およびその等価回路図、第

3図は本考案に薄膜光センサを用いたイメージセンサの回路図、第4図は本考案の他の実施例を示す薄膜光センサの断面図、第5図および第6図はそれぞれ従来の薄膜光センサの断面図、第7図は従来の薄膜光センサの等価回路図である。

11……基板、T<sub>1</sub>……センサ用薄膜トランジスタ、G<sub>1</sub>……ゲート電極、S<sub>1</sub>……ソース電極、D<sub>1</sub>……ドレイン電極、T<sub>2</sub>……センサ用薄膜トランジスタ、G<sub>2</sub>……ゲート電極、S<sub>2</sub>……ソース電極、D<sub>2</sub>……ドレイン電極、12……ゲート絶縁膜、13……半導体層、14……コンタクト層、15……接続電極、Ca……キャパシタ用電極、C……キャパシタ、16……透明絶縁膜。



第1図



第2図

A detailed cross-sectional diagram of a semiconductor device. The diagram shows a substrate (1) with a central channel region (2) and side regions (3). A gate oxide layer (4) covers the top surface. A gate electrode (5) is formed on the gate oxide. A source/drain region (6) is formed in the substrate. A contact pad (7) is formed on the source/drain region. A passivation layer (8) covers the top surface. A metal layer (9) is formed on the passivation layer. Various other layers and components are labeled with letters: D2, S2, C, D1, S1, T2, G2, Ca, T1, G1.

第 7 図